

출력 일자: 2002/11/2

발송번호 : 9-5-2002-039144234

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2002. 10. 31

층

제출기일 : 2002. 12. 31

이영필 귀하

137-874

특허청 의견제출통지서

02. 02

출원인 명칭 삼성전자 주식회사 (출원인코드: 119981042713)

12595

주소 경기 수원시 팔달구 매탄3동 416번지

대리인 성명 이영필 외 1 명

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층

출원번호 10-2001-0002960

발명의 명칭 금속 산화막을 유전막으로 하는 반도체 커패시터의 형성방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하 여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청 에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-16항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통 상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29 조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원은 반도체커패시터에 관한 것으로 금속산화막의 유전체막을 형성하기 이전에 산소를 함유하는 금속전구체를 소스가스로 하여 화학기상증착함으로써 하부전극상에 금속 전처리막을 형성하여 하부 전극의 산화를 방지함을 특징으로 하나, 이는 대한민국공개특허공보제2000-27836호(2000.5.15)(이하 인용예)에서 반도체커패시터의 유전체 박막 형성공정에서 Al(OC2H5)3를 사용하여 LPCVD챔버내 에서 Al2O3박막을 형성하고 탄탈륨옥사이드를 박막증착하여 하부전극의 산화를 개선한 기술과 유사 하여 당해 기술분야에서 통상의 지식을 가진 자가 상기의 인용예에 의해 용이하게 발명할 수 있습 니다.

[첨부]

첨부1 대한민국공개특허공보제2000-27836호 끝.

2002. 10. 31

특허청

심사4국

반도체2 심사담당관실

심사관 정해곤



0115421

출력 일자: 2002/11/2

<<안내>>

문의사항이 있으시면 ☎ 042-481-5986 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 2000-0027836
H01L 27/108 (43) 공개일자 2000년 05월 15일

(21) 출원번호	10-1998-0045871
(22) 출원일자	1998년 10월 29일
(71) 출원인	현대전자산업 주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	이기정 서울특별시 송파구 석촌동 270-2호 한일근 경기도 이천시 중포동 190-2 선경아파트 204-1002호
(74) 대리인	박대진, 이은경, 정은섭

심사청구 : 없음

(54) 반도체장치의 캐퍼시터 형성방법

요약

본 발명은 반도체장치의 캐퍼시터 형성방법에 관한 것으로, 반도체 캐퍼시터 소자의 유전체 박막 형성공정에서 탄탈륨옥사이드 박막 증착시 Al_2O_3 와 같은 산화막(Al_2O_3)을 계면에 얇게 형성시킴으로써 하부전극인 폴리실리콘이 산화되어 전기적 특성이 열화되는 문제점을 개선시킨 캐퍼시터 형성방법에 관한 것이다. 본 발명에 따르면 종래의 탄탈륨옥사이드 캐퍼시터보다 큰 축전용량을 얻을 수 있으며, 같은 축전용량을 얻기 위한 종래의 이중 또는 삼중 구조의 캐퍼시터 모듈을 형성하는 종래의 공정보다 공정 시간을 단축할 수 있고, 생산 원가를 절감할 수 있다.

도표도

도8

명세서

도면의 간단한 설명

도 1 은 종래의 캐퍼시터 형성방법을 설명하기 위한 단면도이다.
도 2 은 내지 6 은 본 발명의 실시예에 따른 캐퍼시터 형성방법을 설명하기 위한 캐퍼시터 구조도이다.
* 도면 중의 주요 부분에 대한 부호설명 *
10 : 도프트 폴리실리콘 20 : 감광막
30 : 산화알루미늄막 40 : 탄탈륨옥사이드막
50 : TiN 막 60 : 도프트 폴리실리콘

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 DRAM 제조공정에서 사용되는 새로운 전하저장전극(storage node electrode) 및 캐퍼시터의 형성방법에 관한 것으로서, 특히 MIS(Metal/Insulator/Silicon) 구조를 갖는 종래의 탄탈륨옥사이드 캐퍼시터에서 탄탈륨옥사이드 박막 증착시 Al_2O_3 와 같은 산화막(Al_2O_3)을 계면에 얇게 형성시킴으로써 하부전극인 폴리실리콘이 산화되어 전기적 특성이 열화되는 문제점을 개선시킨 캐퍼시터 형성방법에 관한 것이다.

DRAM의 집적도가 64M에서 256M로 증가함에 따라, 셀의 크기의 감소는 더욱 가속화되고 있고, 이로 인하여 캐퍼시터의 면적감소는 필연적 요소가 되고 있다. 따라서, 한정된 면적에 큰 정전용량을 가지는 캐퍼시터를 실현시키기 위하여 유전율이 큰 캐퍼시터 유전체를 사용하려는 연구가 계속되어 왔으며, 이러한 노력의 결과로 종래에 사용되어 오던 Si_3N_4 보다 유전율이 높은 탄탈륨옥사이드(Ta_2O_5) 박막이 캐퍼시터의 유전막으로 사용되기에 이르렀다.

반도체 DRAM 소자에 사용되는 탄탈륨옥사이드 캐퍼시터를 제조하는 방법은 도 1에 도시된 바와 같이 전하저장전극(storage node)인 하부전극(bottom electrode)으로 도프트 폴리실리콘(doped polysilicon)을 사용하고, 그 상위에 유전체 막으로서 탄탈륨옥사이드 박막을 PECVD, LPCVD, UV-photo-CVD, RF 마그네틱 스퍼터링 등과 같은 방법을 사용하여 증착한다. 또한 상부전극(plate electrode)은 TiN을 사용하거나 폴리실리콘을 함께 적층하여 DRAM 용 캐퍼시터를 형성하여 사용하고 있다.

최근에는 탄탈륨옥사이드 박막의 질이 우수한 PECVD와 상대적으로 박막의 질은 떨어지지만 스텝커버리지(step coverage)가 우수한 LPCVD 방법을 주로 이용하여 탄탈륨옥사이드 박막을 증착하고 있다. 그러나, 상기 어느 방법을 이용하든지 관계없이 탄탈륨옥사이드 박막은 그 자체가 불안정한 화학양론비(stoichiometry)를 갖고 있기 때문에 Ta 과 O의 조성비 차이에 기인한 치환형 Ta 원자(vacancy atom)가 박막 내에 존재하게 된다. 그리고, 탄탈륨옥사이드의 전구물질인 $Ta(OC_2H_5)_5$, $TaCl_5$ 등의 금속유기화합물(metal-organic)과 O_2 (또는 N_2O) 가스의 반응으로 인하여 불순물인 탄소원자와 탄소화합물(C, CH_4 등) 및 물(H_2O)도 함께 존재하게 된다.

결국 탄탈륨옥사이드 박막내에 불순물로 존재하는 탄소원자, 미온 및 라디칼로 인하여 캐퍼시터의 누설 전류가 증가하게 되고, 유전특성이 열화되는 문제를 내포하고 있다.

한편, 이와 같은 전기적 특성을 개선하기 위해 O_2 , N_2O 또는 $UV-O_3$ 분위기에서 고온 어닐링 공정을 추가로 진행하거나 탄탈륨옥사이드 박막 증착시 병행하고 있다. 이와같은 과정을 통해서 산화제인 O_3 성분이 폴리실리콘과 탄탈륨옥사이드 박막의 계면으로 이동하여 저유전층을 통한 산화막(SiO_2)(5)이 형성됨으로써 등가산화막이 증가하게 된다. 결국 탄탈륨옥사이드의 유전율(ϵ)이 25임에도 불구하고 종래에는 탄탈륨옥사이드 박막(30)을 80-150 Å 정도 증착할 때 사실상 도 1에서와 같이 폴리실리콘(10)과의 계면에 실리콘이 산화된 SiO_2N_x 과 같은 저유전율층의 산화막($\epsilon=4-5$)(15)이 10-20 Å 정도가 형성되기 때문에 총전 용량이 종래의 $Si_3N_4/SiO_2(N_2O)$ 캐퍼시터에 비해 1.5 배 정도 밖에 향상되지 못하고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 TiN/ Ta_2O_5 /도프트 폴리실리콘과 같은 MIS(Metal/Insulator/Silicon) 구조를 갖는 탄탈륨옥사이드 캐퍼시터에서 하부전극 위에 Al_2O_3 와 같은 산화막(Al_2O_3)을 얇게 형성시켜 종래의 탄탈륨옥사이드 캐퍼시터에서 탄탈륨옥사이드 박막 증착시 하부전극인 폴리실리콘이 산화되어 전기적 특성이 열화되는 문제점을 개선시킨 캐퍼시터 형성방법을 제공하는 데에 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따르는 캐퍼시터 형성방법은 반도체 캐퍼시터 소자의 유전체 박막 형성공정에서 도프트 폴리실리콘과 감광막을 증착하고 식각하여 하부전극을 형성하는 단계; Al_2O_3 박막을 형성하는 단계; 및 탄탈륨옥사이드 박막을 증착하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 캐퍼시터 형성방법에서 Al_2O_3 박막 형성단계 및 탄탈륨옥사이드 박막 형성단계는 LPCVD 방법으로 수행하는 것이 바람직하며, 300-600°C 1torr 이하의 LPCVD 챔버내에서 기상반응을 억제시키면서 $Al(OC_2H_5)_3$ 용액과 $Ta(OC_2H_5)_5$ 용액을 각각 180-250°C와 150-200°C 온도 범위내에서 증발시켜 얻은 화학증기를 이용하여 형성시킬 수 있다.

본 발명의 캐퍼시터 형성방법에서는 Al_2O_3 박막 형성단계 및/또는 탄탈륨옥사이드 박막형성단계에서 박막형성후 추가로 어닐링 하는 단계를 포함할 수 있으며, 이 어닐링 방법은 RTP(Rapid Thermal Process) 또는 전기로(furnace)를 사용하여 800-900°C에서 N_2O 또는 O_3 분위기에서 30초-30분 정도 어닐링시키는 것이 바람직하며, 이 과정을 거침으로써 결정화를 유도하고, 일부 잔존해있는 탄소 및 수소성분을 산화제거하여 유전율을 증가시킬 수 있다.

이하 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

도 2 내지 도 6은 본 발명의 실시예에 따른 캐퍼시터 형성방법을 설명하기 위한 캐퍼시터의 단면도이다.

먼저, 도 2에서와 같이 콘택이 형성된 실리콘 기판상에 도프트 폴리실리콘(10)을 증착하고 전하저장전극을 형성하기 위해 감광막(20)을 덮고 식각하여 도 3에서와 같이 간단한 스텝 구조의 하부전극을 형성한다.

여기에 MFC(Mass Flow Controller)와 같은 유량 조절기를 통해 증발기 또는 증발관으로 공급된 일정량의 $Al(OC_2H_5)_3$ 용액을 180-250°C 온도 범위에서 증발시켜 얻은 Al 성분의 화학증기를 반응가스인 과잉 O_3 가스와 함께 LPCVD 챔버내에서 300-600°C 1torr 이하의 LPCVD 챔버내에서 기상반응을 억제시키면서 표면반응시켜 도 4에서와 같이 Al_2O_3 박막(30)을 형성한다.

그 다음에 Al_2O_3 박막형성과정과 마찬가지로 유량 조절기를 통해 증발기 또는 증발관으로 공급된 일정량의 $Ta(OC_2H_5)_5$ 용액을 150-200°C 온도 범위내에서 증발시켜 얻은 Ta 성분의 화학증기를 반응가스인 과잉 O_3 가스와 함께 LPCVD 챔버내에서 300-600°C 1torr 이하의 LPCVD 챔버내에서 기상반응을 억제시키면서 표면반응시켜 도 5에서와 같이 탄탈륨옥사이드 박막(40)을 형성한다.

이렇게 얻어진 탄탈륨옥사이드 박막(40)을 800-900°C, N_2O (또는 O_3) 분위기에서 RTP(Rapid Thermal

Process) 또는 전기로에서 1~30분 정도 어닐링시킨 다음, 도 6 에서와 같이 600~700°C, 1~50torr 분위기의 단일 챔버내에서 $TiCl_4$ 를 사용하여 CVD 방식으로 비정질 탄탈륨옥사이드 박막(40) 위에 TiN 막(50)을 200~1000 Å 두께로 적층하여 상부전극을 형성하고 도프트 폴리실리콘(60)을 적층시켜 상부전극을 형성함으로써 캐피시터 형성공정을 완료한다.

본 발명의 또 다른 실시예에서는 상기 실시예에서와 같이 하부전극을 형성하고, Al_2O_3 박막을 형성한 다음 추가로 800~900°C, N_2O (또는 O_2) 분위기에서 RTP 또는 전기로에서 30초~30분 정도 어닐링시키고, 후속 상부전극을 형성시키는 캐피시터 형성공정을 제공한다.

발명의 효과

본 발명에 따르면, 하부전극인 폴리실리콘의 산화로 인하여 저유전층인 SiO_2 ($\epsilon \approx 3.9$)막이 형성되는 것을 방지하고, 유전율이 큰 Al_2O_3 박막 ($\epsilon \approx 9.3$)을 계면에 형성시킴으로써 종래의 탄탈륨옥사이드 캐피시터보다 큰 충전용량을 얻을 수 있기 때문에 캐피시터 모듈이 간단한 스택 구조라 하더라도 256M 급 이상의 DRAM에서 요구되는 25fF/cell 이상의 충전용량을 충분히 얻을 수 있다.

또한, 같은 충전용량을 얻기 위한 종래의 이중 또는 삼중 구조의 캐피시터 모듈을 형성하는 종래의 공정보다 공정 시간을 단축할 수 있고, 생산 원가를 절감할 수 있다.

또한, 종래의 탄탈륨옥사이드 박막 형성시 하부전극인 폴리실리콘의 산화로 인한 실리콘 산화막 형성을 막기위한 전처리 세정공정 및 RTN(Rapid Thermal Nitridation)과 같은 별도의 질화공정이 필요하지 않으므로 더욱 경제적이다.

한편, 구조적으로도 기계적, 전기적 강도가 우수한 Al_2O_3 와 같은 산화막이 탄탈륨옥사이드 박막과 계면 사이에 얇게 형성되어 누설전류에 대한 장벽 역할을 해주므로 종래의 탄탈륨옥사이드 캐피시터보다 누설전류의 수준이 낮아지고 절연파괴 전압이 높아져 전기적 특성이 우수하다.

(57) 청구의 범위

청구항 1. 반도체 캐피시터 소자의 유전체 박막 형성공정에서 도프트 폴리실리콘과 감광막을 증착하고 식각하여 하부전극을 형성하는 단계;

상기 하부전극이 형성된 기판 전체에 Al_2O_3 박막을 형성하는 단계; 및

탄탈륨옥사이드 박막을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 캐피시터 형성방법.

청구항 2. 제 1 항에 있어서, 상기 Al_2O_3 박막 형성단계는 LPCVD 방법으로 수행하는 것을 특징으로 하는 반도체 장치의 캐피시터 형성방법.

청구항 3. 제 1 항에 있어서, 상기 Al_2O_3 박막 형성단계는 300~600°C 1torr 이하의 LPCVD 챔버내에서 기상반응을 억제시키면서 $Al(OC_2H_5)_3$ 용액을 180~250°C 온도 범위내에서 증발시켜 얻은 화학증기를 이용하여 형성하는 것을 특징으로 하는 반도체 장치의 캐피시터 형성방법.

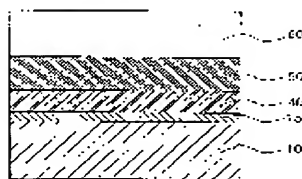
청구항 4. 제 1 항에 있어서, 상기 탄탈륨옥사이드 형성단계는 300~600°C 1torr 이하의 LPCVD 챔버내에서 기상반응을 억제시키면서 $Ta(OC_2H_5)_5$ 용액을 150~200°C 온도 범위내에서 증발시켜 얻은 화학증기를 이용하여 형성하는 것을 특징으로 하는 반도체 장치의 캐피시터 형성방법.

청구항 5. 제 1 항에 있어서, 상기 Al_2O_3 박막 형성단계후 추가로 어닐링 단계를 포함함을 특징으로 하는 반도체 장치의 캐피시터 형성방법.

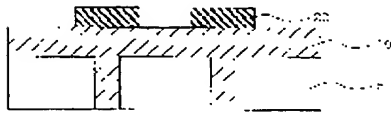
청구항 6. 제 1 항에 있어서, 상기 탄탈륨옥사이드 형성단계후 추가로 어닐링 하는 단계를 포함함을 특징으로 하는 반도체 장치의 캐피시터 형성방법.

도면

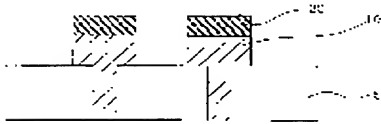
도면1



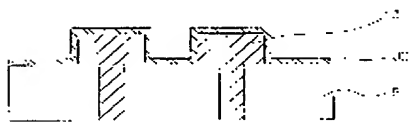
도 12



도 13



도 14



도 15



도 16

